

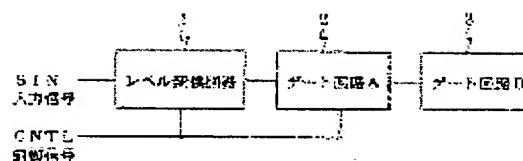
## LEVEL CONVERTER

Patent number: JP5145400  
Publication date: 1993-06-11  
Inventor: KAWANAKAKO SATORU  
Applicant: NEC CORP  
Classification:  
- international: H03K19/0185; H03K17/16  
- european:  
Application number: JP19910307619 19911122  
Priority number(s):

### Abstract of JP5145400

**PURPOSE:** To prevent power consumption during level conversion operation stop by adding a switch to the level conversion circuit so as to interrupt a through-current thereby stopping the operation.

**CONSTITUTION:** N-channel MOS transistors (TRs) M111, M112 are added to a current mirror level conversion circuit comprising P-channel MOS TRs M101, M102 and N-channel MOS TRs M103, M104. When the level conversion operation is not required, the N-channel MOS TR 111 is turned off and the N-channel MOS TR M112 is turned on, a gate potential of the N-channel MOS TRs M103, M104 is decreased to a low level, a through-current of the level conversion circuit 1 is interrupted to prevent power consumption. Furthermore, even when a signal level from the level conversion circuit 1 reaches an intermediate potential to prevent the flowing of the through-current at a post-stage circuit by arranging a NAND circuit 101 to the post-stage.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-145400

(43) 公開日 平成5年(1993)6月11日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/0185 17/16		L 9184-5 J 6959-5 J	H 0 3 K 19/00	1 0 1 D

審査請求 未請求 請求項の数 1 (全 6 頁)

(21) 出願番号 特願平3-307619

(22) 出願日 平成3年(1991)11月22日

(71) 出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72) 発明者 川中子 覚

東京都港区芝五丁目7番1号日本電気株式  
会社内

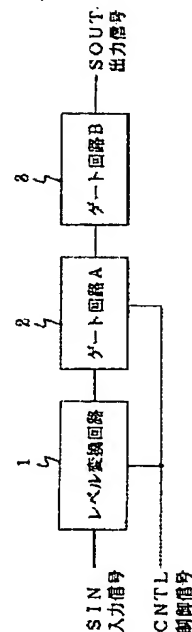
(74) 代理人 弁理士 熊谷 雄太郎

(54) 【発明の名称】 レベル変換器

(57) 【要約】

【目的】 レベル変換回路にスイッチを付加し、貫通電流を遮断して動作を停止させることにより、レベル変換動作停止中の電力消費を防止する。

【構成】 P形MOSトランジスタM101、M102、N形MOSトランジスタM103、M104より構成されたカレントミラー型レベル変換回路に、N形MOSトランジスタM111、M112を付加する。レベル変換動作が不要な場合には、制御信号CNTLを“ロウ”レベルとすることにより、N形MOSトランジスタM111が“オフ”、M112が“オン”となり、N形MOSトランジスタM103、M104のゲート電位が“ロウ”レベルに引き下げられ、レベル変換回路1の貫通電流を遮断して電力消費を防止する。また、後段にNAND回路101を配置することにより、レベル変換回路1からの信号レベルが中間電位となっても後段の回路で貫通電流が流れることはない。



## 【特許請求の範囲】

【請求項1】 レベル変換回路の出力を第1のゲート回路の入力に接続し、該第1のゲート回路の出力を第2のゲート回路の入力に接続したレベル変換器において、前記レベル変換回路および前記第1のゲート回路に入力される制御信号によって制御され、前記レベル変換回路の電源とグランド間の貫通電流を遮断することにより該レベル変換回路を非動作状態とするスイッチを該レベル変換回路内に備え、前記制御信号によって制御され、前記レベル変換回路の出力が不定であっても前記第1のゲート回路の出力を“ハイ”レベルあるいは“ロウ”レベルに固定する論理回路を前記第1のゲート回路内に備えることを特徴とするレベル変換器。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、レベル変換器に関し、特に、レベル変換動作を停止できる半導体のレベル変換器に関する。

## 【0002】

【従来の技術】 一般に、レベル変換器は、レベル変換回路において貫通電流が生じる構成となっている。例えば図4に示すECLレベルの信号をCMOSレベルの信号に変換するCMOS構成のレベル変換器では、P形MOSトランジスタM301、M302およびN形MOSトランジスタM303、M304から成るカレントミラー型のレベル変換回路11を用いており、ECLレベルの入力信号SINおよび入力参照電位V<sub>R</sub>とともに中間電位であるために、常に貫通電流が生じている。つまり、ECLレベルの入力信号SINは-0.7V~-2.0V付近の電位、入力参照電位V<sub>R</sub>は-1.3V付近の電位であるために、P形MOSトランジスタM301、M302は共に“オン”状態と成っている。P形MOSトランジスタM301が“オン”状態であるので、N形MOSトランジスタM303、M304のゲート電位は引き上げられるために、この2個のN形MOSトランジスタも“オン”状態となる。したがって、P形MOSトランジスタM301、N形MOSトランジスタM303を通る電流経路と、P形MOSトランジスタM302、N形MOSトランジスタM304を通る電流経路ができ、貫通電流が流れる。

## 【0003】

【発明が解決しようとする課題】 上述した従来のレベル変換器では、常に貫通電流が流れる構造のために、レベル変換動作を行う必要がない場合でも貫通電流により電力を消費してしまい、たとえば半導体集積回路等で多数のレベル変換器を用いるような構成の場合には、特に多大な電力を無駄に消費し、半導体集積回路の温度上昇を招いて特性に悪影響を及ぼすといった課題がある。

【0004】 本発明は従来の上記実情に鑑みてなされたものであり、従って本発明の目的は、従来の技術に内在

する上記課題を解決することを可能とした新規なレベル変換器を提供することにある。

## 【0005】

【課題を解決するための手段】 上記目的を達成するために、本発明に係るレベル変換器は、レベル変換回路および第1のゲート回路に入力される制御信号によって制御され、レベル変換回路の貫通電流を遮断することによりレベル変換回路を非動作状態とするスイッチをレベル変換回路内に備え、レベル変換回路および第1のゲート回路に入力される制御信号によって制御され、レベル変換回路の出力が不定であっても第1のゲート回路の出力を“ハイ”レベルあるいは“ロウ”レベル固定とする論理回路を第1のゲート回路内に備えて構成される。

## 【0006】

【実施例】 次に、本発明をその好ましい一実施例について図面を参照して具体的に説明する。

【0007】 図1は本発明の概略を示す基本ブロック構成図である。

【0008】 図1を参照するに、前段からの入力信号SINをレベル変換回路1に入力し、レベル変換回路1の出力を第1のゲート回路(A)2に入力する。さらに第1のゲート回路(A)2の出力を第2のゲート回路(B)3に入力する。第2のゲート回路(B)3の出力は次段へ出力される。ここで、レベル変換動作が不要なときには、レベル変換回路1および第1のゲート回路(A)2に入力されている制御信号CNTLにより、本レベル変換器の動作を停止させる。

【0009】 図2は本発明による第1の実施例を示し、ECLレベルの信号をCMOSレベルの信号に変換するCMOS構成によるレベル変換器の回路構成図である。

【0010】 図2を参照するに、本発明に係るレベル変換器の第1の実施例は、P形MOSトランジスタM101、M102およびN形MOSトランジスタM103、M104によりカレントミラー型のレベル変換回路1を構成し、制御信号CNTLによって制御されるN形MOSトランジスタM111、M112のスイッチが付加されている。また、次段のゲート回路(A)2はNAND回路101で構成されている。本レベル変換器では、制御信号CNTLを“ハイ”レベルとすることにより、ECLレベルの入力信号SINをCMOSレベルの出力信号SOUTに変換する動作を行う。制御信号CNTLを“ハイ”レベルとすることにより、N形MOSトランジスタM111は“オン”、M112は“オフ”となり、レベル変換回路1はカレントミラー型のレベル変換回路として動作し、ECLレベルの入力信号SINに従った出力を次段のゲート回路(A)2へ送り出す。ゲート回路(A)2はNAND回路101で構成されており、制御信号CNTLが“ハイ”レベルであるので、レベル変換回路1の出力の反転値をインバータ102で構成されたゲート回路(B)3へ出力する。ゲート回路(B)3

の出力信号SOUTはCMOSレベルで、ECLレベルの入力信号SINに対応した値となっている。

【0011】本レベル変換回路において、レベル変換動作を行う必要がない場合には、制御信号CNTLを“ロウ”レベルとすることにより、N形MOSトランジスタM111は“オフ”、M112は“オン”となり、N形MOSトランジスタM103、M104はゲート電位が“ロウ”レベルに引き下げられるために“オフ”となって、レベル変換回路1は貫通電流が遮断され、動作を停止する。同時に、NAND回路101も制御信号CNTLが“ロウ”レベルであることから、その出力はレベル変換回路1の出力の値にかかわらず、常に“ハイ”レベル固定となっている。

【0012】したがって、本レベル変換回路においてはレベル変換動作を行う必要がない場合には、貫通電流を遮断してレベル変換動作を完全に停止できるために、余分な電力を消費せずに済むという利点がある。

【0013】図3は本発明による第2の実施例を示し、レベル変換回路1として差動回路を用いた場合の実施例の回路構成図である。

【0014】図3を参照するに、N形MOSトランジスタM201、M202、M203、M204、M205により差動回路を構成している。このうち、N形MOSトランジスタM201、M202は差動回路の負荷と差動回路の貫通電流を遮断するスイッチを兼ねている。また、N形MOSトランジスタM206、M207、M208、M209によりレベル変換回路1の入力部のレベルシフタを構成している。N形MOSトランジスタM211、M212は貫通電流遮断用のスイッチである。

【0015】制御信号CNTLを“ハイ”レベルとすると、N形MOSトランジスタM201、M202、M211、M212が“オン”となり、レベル変換回路1はECLレベルの入力信号SINに従った値をNAND回路201で構成された次段のゲート回路(A)2へ出力する。制御信号CNTLが“ハイ”レベルであるために、ゲート回路(A)2はレベル変換回路1の出力の反転値をインバータ202で構成されたゲート回路(B)3へ出力する。したがって、ゲート回路(B)3の出力信号SOUTはCMOSレベルでECLレベルの入力信号SINに対応した値となる。

【0016】制御信号CNTLを“ロウ”レベルとすると、N形MOSトランジスタM201、M202、M211、M212が“オフ”となり、レベル変換回路1は貫通電流が遮断され、動作を停止する。また、NAND回路201はレベル変換回路1の出力にかかわらず、常に“ハイ”レベルを出力するので、CMOSレベルの出力信号SOUTは“ロウ”レベル固定となる。したがっ

て、この場合もレベル変換動作を行う必要がない場合には、制御信号CNTLを“ロウ”レベルとして貫通電流を遮断してレベル変換動作を停止させ、余分な電力の消費を防げる。

【0017】

【発明の効果】以上説明したように、本発明によれば、レベル変換回路の出力を第1のゲート回路の入力に接続し、第1のゲート回路の出力を第2のゲート回路の入力に接続したレベル変換器において、レベル変換回路および第1のゲート回路に入力される制御信号によって制御され、レベル変換回路の貫通電流を遮断することによりレベル変換回路を非動作状態とするスイッチをレベル変換回路内に備え、レベル変換回路および第1のゲート回路に入力される制御信号によって制御され、レベル変換回路の出力が不定であっても第1のゲート回路の出力を“ハイ”レベルあるいは“ロウ”レベル固定とする論理回路を第1のゲート回路内に備えているので、レベル変換動作が不要なときには制御信号によりレベル変換回路の貫通電流を遮断して動作を停止させ、さらにレベル変換回路の次段のゲート回路でも出力を固定して無駄な電力の消費を防止できるという効果が得られる。

【図面の簡単な説明】

【図1】本発明の概略を示す基本ブロック構成図である。

【図2】本発明による第1の実施例を示す回路構成図である。

【図3】レベル変換回路として差動回路を用いた場合の本発明による第2の実施例を示す回路構成図である。

【図4】従来のレベル変換器の例を示す回路図である。

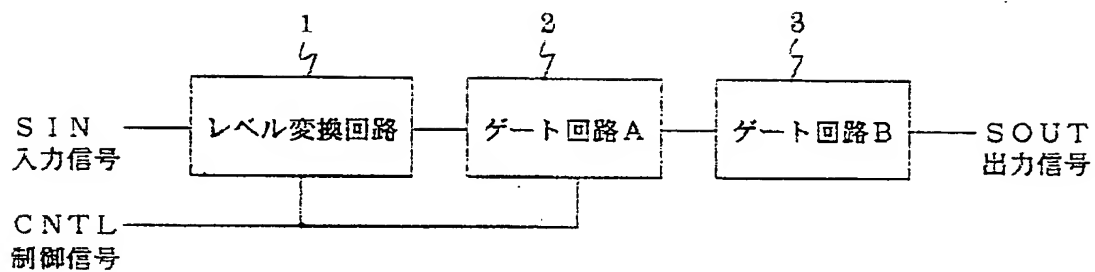
【符号の説明】

- 1、11…レベル変換回路
- 2、12…ゲート回路(A)
- 3、13…ゲート回路(B)
- 101、201…NAND回路
- 102、111、202、301、302…インバータ
- M101、M102、M301、M302…P形MOSトランジスタ
- M103、M104、M111、M112、M201、M202、M203、M204、M205、M206、M207、M208、M209、M211、M212、M303、M304…N形MOSトランジスタ
- SIN…入力信号
- SOUT…出力信号
- CNTL…制御信号
- V<sub>i</sub>…入力参照電位
- V<sub>s1</sub>…差動回路バイヤス電位
- V<sub>s2</sub>…入力バイヤス電位

(4)

特開平5-145400

【図1】



【図2】

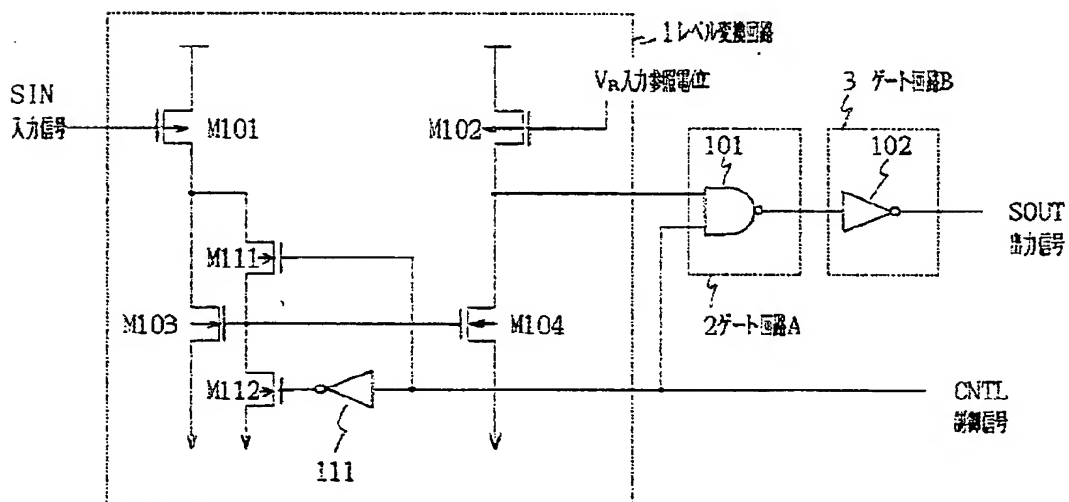


Figure 1 is a schematic diagram of a differential amplifier circuit. The circuit includes a differential pair of PMOS transistors (M201, M202) and NMOS transistors (M203, M204) with a tail current source (M205). Input signals SIN and VR are applied to the gates of M201 and M202. The differential output is taken from the drains of M201 and M202. The circuit is biased by a common-mode input signal VCM and a tail current source M205. The output is connected to a load resistor RL and a differential-mode input signal VDM. The circuit is labeled with various components and signals.

(6)

特開平5-145400

【図4】

